

多功能三通道 200 Mb/s 抗辐照 SpaceWire 节点控制器设计与实现

刘 欢,陈卫国,王剑峰,吴龙胜
(西安微电子技术研究所,陕西 西安 710054)

摘 要: 针对航天器应用,提出了一种多功能、三通道高可靠速率可达 200 Mb/s 的 SpaceWire 节点控制器设计实现方案.通过 DS 高速时钟恢复技术、单粒子翻转容错设计、芯片多时钟域划分实现了高可靠、多功能的抗辐照 SpaceWire 节点控制器.

关键词: SpaceWire; 多功能; 抗辐照加固

中图分类号: TP393

文献标识码: A

文章编号: 1000—7180(2017)11—0108—06

Design and Implementation of Multi-functional, Tri-channel 200Mb/s Radiation Harden SpaceWire Node Controller

LIU Huan, CHEN Wei-guo, WANG Jian-feng, WU Long-sheng

(Xian Microelectronics Technology Institute, Xian 710054, China)

Abstract: For Spacecraft application, A multi-functional, tri-channel 200 Mb/s radiation harden SpaceWire node controller is introduced in this paper. This algorithm proposed use three technique to improve product performance, which is DS high-speed clock recovery technique, SEU-tolerant design method. This controller meets the requirement of spacecraft application and affords a good reference for aerospace reliability.

Key words: spaceWire; multi-functional; radiation-harden

1 引言

SpaceWire 标准致力于航天器有效载荷系统数据和控制信息的处理,以满足未来高性能高速数据传输为目标,提供了一种统一的用来连接传感器、数据处理单元、大容量存储器、遥测子系统以及地地支持设备(electronic ground support equipment, EGSE)的基础架构^[1-3]. 近年来,随着 SpaceWire 总线技术在航天航空领域的不断应用,SpaceWire 总线在理论和技术应用方面也得到了飞速发展.本文基于改进的 SpaceWire IP 设计了一款符合标准 SpaceWire 总线协议多功能、三通道支持通道间路由,支持简单协议通信模式,支持远置中断模式的 200 Mb/s 抗辐照 SpaceWire 节点控制器.

2 200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器的结构

该 200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器采用西安微电子技术研究所抗辐照加固单元库及寄存器三模冗余方案,基于 SMIC 0.18 μm 工艺实现.结构如图 1 所示,主要包括以下部分.

(1)三个双向的 SpaceWire 链路,链路上每个方向允许速率达到 200 Mb/s.可执行字符层链路断开监测和奇偶校验检测,可以使能包层的校验和生成.发送速率在 2 Mbit/s 到 200 Mbit/s 之间可选,启动速率为 10 Mb/s.对于特殊应用,通信速率可以通过编程配置^[4].

(2)通信存储器接口(COMI),大数据传输可以通过通信存储器接口加外置存储器芯片进行传输.

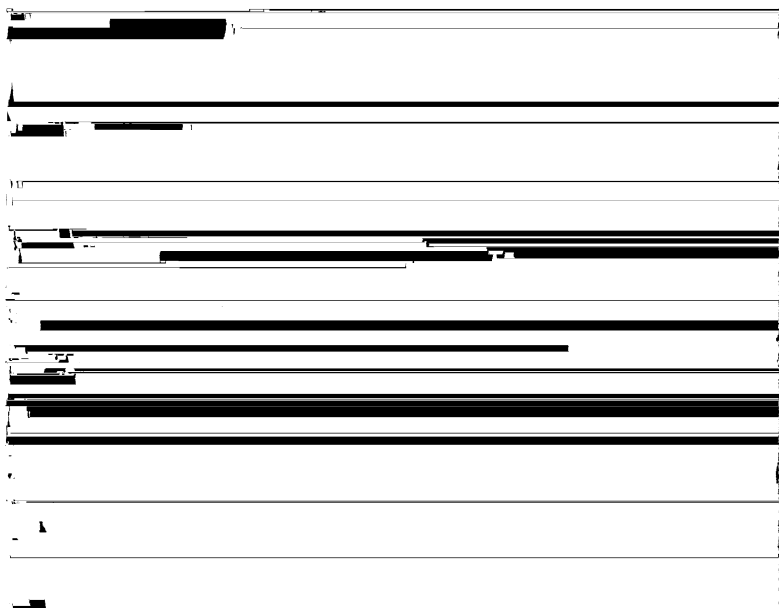


图 1 200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器结构框图

- (3)主机控制接口(HOCI),进行访问寄存器及少量数据传输.
- (4)协议命令接口(PPU),可执行简单通信协议,协议命令解码后通过 5 个特定引脚传送给外部电路.
- (5)远置终端控制模块(REMOTE),当外管脚 bootlink 为高时,芯片没有主机接口功能,3 个 SpaceWire 链路中的任意一个作为控制链路.
- (6)路由控制模块(ROUTER),当路由模式使能时,芯片是一个 3 通道的路由器.

(7)内部寄存器单元,芯片内部所有的控制寄存器和状态寄存器生成模块.

3 关键技术及关键模块设计

3.1 芯片时钟域的设计

芯片采用多时钟域设计方案,有效降低芯片功耗.整个芯片划分为 4 个时钟域,发送时钟域 200 MHz、系统时钟域 100 MHz、接收时钟域、接口时钟域 25 MHz.具体时钟域划分如图 2 所示.

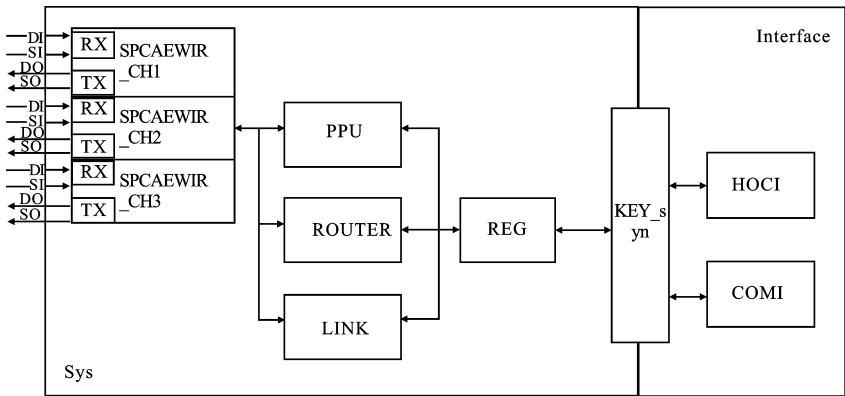


图 2 200 Mb/s 抗辐照 SpaceWire 节点控制器时钟域划分图

- (1)Interface 为主机接口和通信存储器接口时钟域,为 25 MHz;
- (2)RX 为通道接收解码时钟部分,根据接收到的 DS 恢复时钟进行数据接收,接收后与 Sys 系统时钟域进行数据交互,恢复时钟最高为 100 MHz,

- 接收数据的时钟需要用到正负时.钟沿;
- (3) Sys 为芯片的主要系统时钟域,为 100 MHz;
- (4)Tx 为高频时钟域部分,根据配置的最高发送速率来确定发送接口时钟频率,通过对寄存器进

行配置实现频率在 80~200 MHz 之间可选;

(5)Key_syn 为同步模块,为系统时钟域与接口时钟域下的数据交换做同步.

3.2 单粒子翻转容错设计

针对高速 SpaceWire 节点控制器特点进行空间单粒子效应容错技术研究.单粒子翻转效应(Single Event Upset,SEU)可以改变单个存储单元的存储状态,通过刷新存储单元的数据可以纠正 SEU.抗辐照 Spacewire 节点控制器在电路设计时采用了寄存器三模冗余及时钟树三模冗余的设计实现技术,以提高其抗单粒子辐照能力.抗 SEU/SET 的三模冗余结构如图 3 所示.

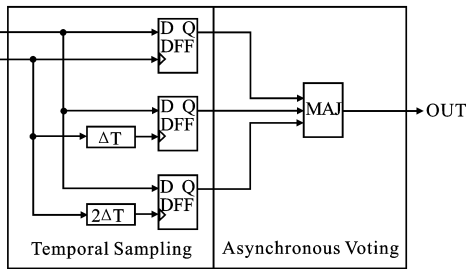


图 3 抗 SEU/SET 的三模冗余结构

(1)空间冗余

对于寄存器等时序单元采用三倍逻辑,并增大存储相同数据的寄存器间距以降低多位翻转的可能,将表决器放在输出端判决正确的输出值,保证寄存器输出的正确性,大大提高芯片抗 SEU 的能力.

(2)时间冗余策略

保证组合逻辑的输出在三个不同时刻被锁存,第二个锁存的时钟沿后移 Δt ,第三个锁存的时钟沿后移 $2\Delta t$,三个采样寄存器对同一信号在不同时刻采样.在设计过程中,采用可配置 Δt 的设计,通过合理的设置 Δt 的数值,降低了由 SET 导致的数据误采的可能,同时采用表决器保证输出的正确性.在实际芯片设计过程中,考虑到存在时钟网络受单粒子效应影响的可能,对不同时钟相位的寄存器建立独立的时钟树网络,通过工具保证时钟树到达不同寄存器时钟端的相位差.根据 Matthew J Gadlage, Ronald D Schrimpf 等人的文章,对于 LET=40 左右的单粒子效应在 0.18 μm 工艺下,产生的瞬态脉冲 SET 宽度大约为 1 ns,因此本芯片在设计时三模的时间间隔采用 1ns^[5].

(3)时钟树加固策略

在物理设计上,时钟网络采用双倍线宽、双倍间距的设计方法对时钟网络进行保护,同时提高了芯

片的可靠性,通过时序工具多模多角分析,最终保证不同温度条件与工艺拐角下的芯片时序可靠性.

3.3 基于 DS 的高速时钟恢复技术的改进型 Space Wire IP

Spacewire 链路通道采用了基于 Data-Strobe (DS)高速时钟恢复技术的改进型 SpaceWire IP 实现.改进型 SpaceWire IP 在接收解码单元采用了 DS 时钟恢复技术.其他部分是标准的 SpaceWire IP.

在基于 DS 编码的通讯系统中当接收到数据信号的频率高于或者等于系统的接收时钟时,根据采样定理将无法正确完备地接收这些数据信号,会出现误码、丢数据等现象.当然在系统中加入时钟锁相环可以提高系统时钟的频率,可以接收更高频率的数据.但是当系统中没有时钟锁相环资源的时候,可实现用低频的系统时钟正确接收高频的数据信号.

该项技术包括了一个生成接收数据的 DS 时钟的一个异或电路,当然这个时钟要用到它的双沿采样才能保证数据不丢失,固要求生成正反两路时钟;还包含了一个将 1 位串行数据转换为一个 4 位并行数据的串并转换电路,该电路不是简单的将串行数据通过移位寄存器变成一个并行数据,因为接收到的数据不是一个简单的顺序数据流;最后还包括有一个 4 位的并行数据接收器. DS 编码的并行接收技术的构架框图如图 4 所示.

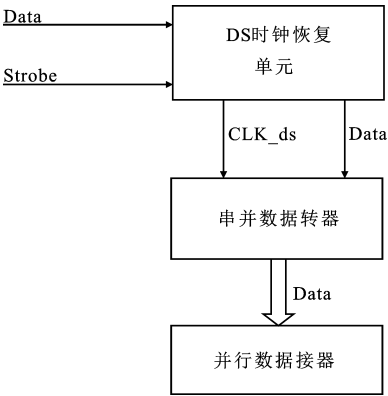


图 4 DS 编码的并行接收技术的构架框图

DS (Data Strobe)编码:发送时数据由 Data 信号直接传输,每当 Data 信号和前一位相同时 Strobe 信号发生变化.接收时 Data 信号与 Strobe 信号相异或得到的时钟信号就是发送时钟.如果只用异或产生的时钟上升沿对 Data 信号进行采样的话,只能得到一半 Data 信号,所以异或产生的时钟信号要用到上升沿和下降沿交替对 Data 信号进行采样,可以

保证数据的完整性.

串并数据转换单元实现的异步时钟域的数据交互功能,简单的通过 DS 时钟采样到的数据直接送到接收器中进行解码接收存在异步时钟域中数据交互问题,很难保证数据完备,解码正确. 该模块可以实现 N 位数据串并转换,经过三级同步完成异步时

钟域内数据正确交互. 4 位串并转换的时序图如图 5 所示.

根据 SpaceWire 协议字符层特性,设计 4 位并行数据处理单元. 主要结构为一个状态机,如图 6 所示.

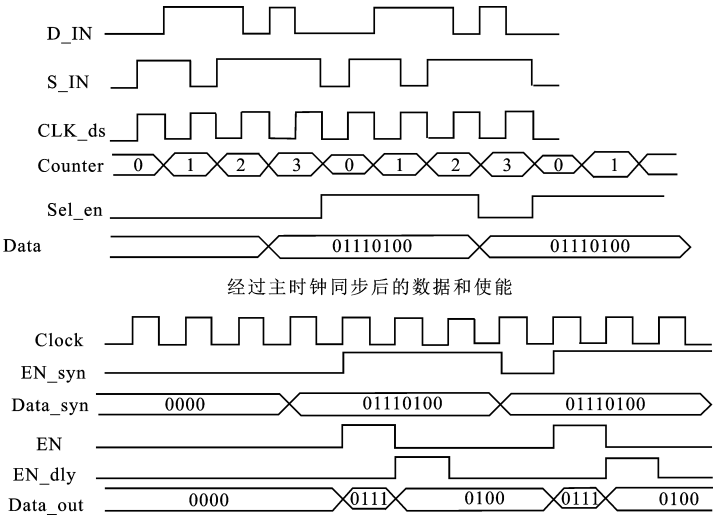


图 5 4 位串并转换的时序图

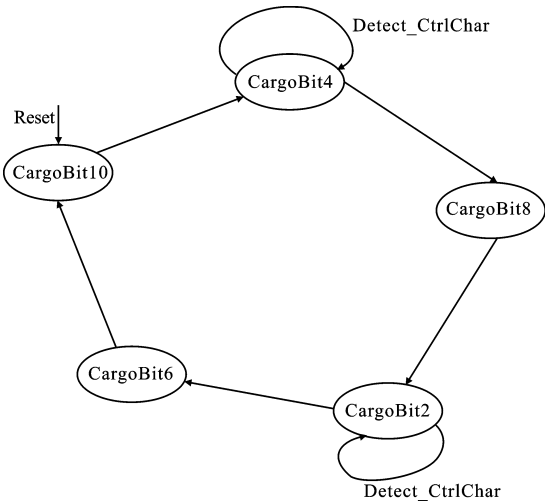


图 6 4 位并行数据接收器的状态图

3.4 SpaceWire 节点控制器主机接口和通信存储器接口时序设计

芯片支持 8 位、16 位和 32 位的主机接口模式,接口模式选择通过配置内部寄存器(接口控制寄存器,地址 0x00)实现. SpaceWire 的数据总线为 32 位宽,根据不同接口位宽和地址模式,实际有效利用的总线位不同. SpaceWire 包含 1 个、2 个和 4 个不同字节的内部寄存器,当主机接口配置为 8 位模式时,访问 2 个或者 4 个字节寄存器时,分别需要连续 2

次或者 4 次访问. 主机写时序图与时序图如图 7 所示.

芯片的通信存储器接口 (COMI) 支持 8 位、16 位和 32 位数据接口. COMI 可以有效提高数据包传输效率. 处理器只需在通信存储器中填充需要发送的数据,通过寄存器设置发送数据的起始地址和结束地址. 具体的数据发送过程不需要处理器干预. 每个连接通道提供 6 个寄存器,其中 4 个寄存器是存储器中的发送、接收区域的起始和结束地址,另外 2 个寄存器存放当前的发送、接收地址. 发送和接收的相关寄存器是独立编程配置的,用户在发送或接收前必须完成起始和结束地址的初始化,在各个通道初始化时就要求写结束地址寄存器有效. 用户可以通过访问当前地址寄存器,来监测正在发送的数据. 发送包完成、接收包完成或者产生错误,都会产生中断,可以通过主机接口读中断状态寄存器来确认. 存储器接口时序图如图 8 所示.

3.5 路由模块设计

芯片的路由模块实现三通道间数据包的路由,路由算法为虫洞路由,较之存储转发模式,该模式在接收到路由数据包后立刻开始发送,而不是接收到完整的数据包后开始,即数据包是流水发送的,通信时延大大缩短^[6]. 节点控制器的三个链路接口均拥

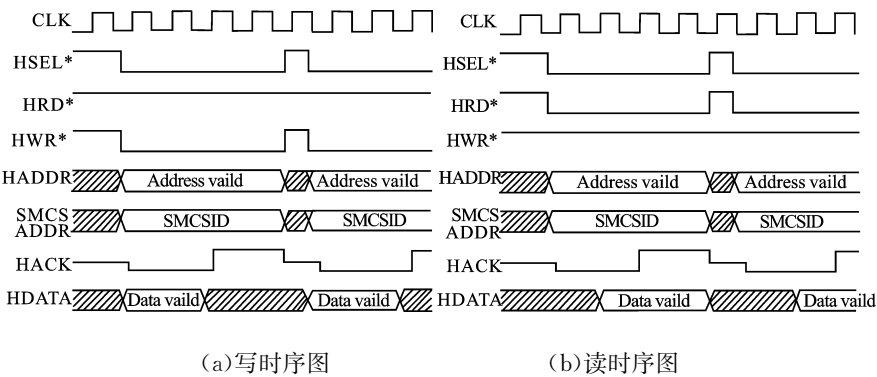


图 7 主机写时序图与时序图

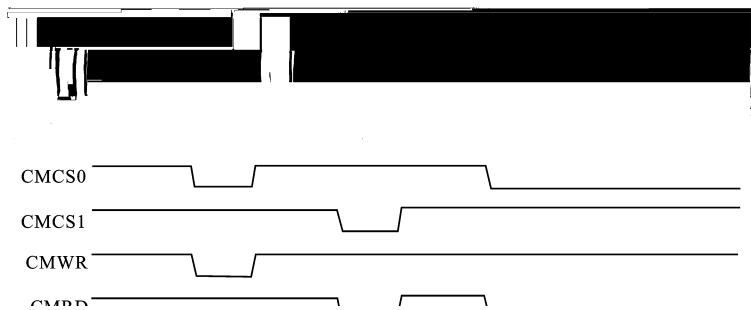


图 8 存储器接口时序图

有一个 8 位的通道地址和一个 8 位的路由器地址。当路由功能使能后,包的第一个字节被当作是路由的目的地址字节。如果这个地址与接收链路之外另外两个链路的路由地址中的一个匹配或者与接收链路的通道地址匹配,则包会自动发送到与之匹配的链路接口或者本链路的接收 FIFO。如果不匹配,则数据也写入接收链路的接收 FIFO 中,并产生一个错误中断。如果链路中发送的速率比接收的速率高,则会发生拥塞影响传输效率,因此整个网络中的 SpaceWire 链路最好都运行在相同速率下。

3.6 协议处理模块设计

芯片实现了简单多处理器间通信协议。这种协议规范可以将 SpaceWire 总线变为一种指令响应式的总线,可以提供多处理器系统中节点之间数据和简单控制命令的交换。这里的节点可以理解为信息处理节点和控制节点,交换的数据和命令的结构是包的形式。本模块的状态机如图 9 所示。

(1)协议支持 256 个不同的链路地址,这就意味着该系统可以包含 256 个节点,每个节点有 1 个链路,或者 64 个节点,每个节点有 4 个链路,或者 32 个节点,每个节点有 8 个链路等;

(2)节点之间的互联网络是单层网络,不支持分级寻址,不支持头删除功能;

(3)不支持多点传送和广播消息,只提供 ECSS-

E-ST-50-12C 协议中的单地址;
(4)包头目的地址为一个字节(8 位)。

3.7 远置终端模块设计

芯片提供一种远置终端模式,不需要本地控制,比如 CPU、DSP、FPGA 等,而是通过三个 SpaceWire 链路中的任意一个来作为控制链路。主机接口(HOCI)不再作为访问寄存器的接口。32 位双向 DATA 线变成了 32 位双向的通用端口(GPIO),这些端口的方向是被独立配置的(通过 4 个寄存器配置)。这种模式是通过 BOOTLINK 引脚接高电平选择的,不能通过软件配置。复位后,200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器的 3 个链路等待 NULL 字符,在没有接收到 NULL 字符的时候不会启动链路,当链路自己发送了 NULL 字符以后链路被激活,200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器会扫描 3 个链路接收到的数据,最先接收到数据的链路被定为控制链路。这就是说三个链路中的任意一个都可以做控制链路,这个控制链路一直保持到下次复位。

200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器远置终端模式提供两种命令,一个是读命令,一个是写命令,读为一个字节,写为两个字节,每个命令必须以 EOP 结束。所有的内部寄存器都是可以写的。

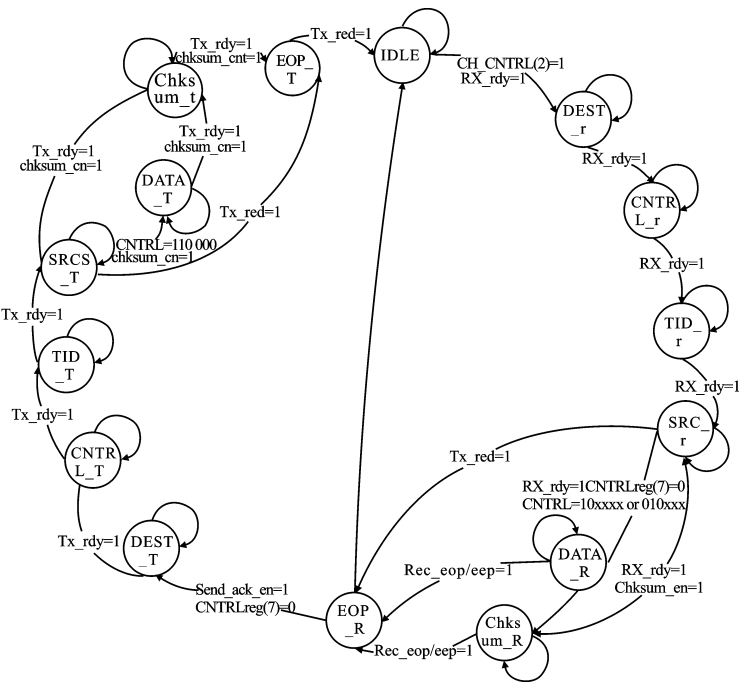


图 9 协议处理模块模块状态迁徙图

4 仿真验证

200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器验证平台搭建的工具及开发环境如表 1 所示.

表 1 验证平台搭建工具及环境表

项目	环境
仿真工具	Cadence 公司 NCSim 和 Specman
验证管理回归工具	Cadence 公司 emanager
操作系统平台	红帽 Linux
仿真环境语言	e 语言和 VHDL 进行编写
验证方法学	使用业界最新的 UVM 的方法学建立了 SpaceWire UVC、Scoreboard、Monitor 和 Vr_ad 寄存器模型

UVC(UVM Verification Componet)是基于 UVM 方法学搭建的验证组件,主要作用是用来产生不同接口时序,并且灵活产生对应接口的激励序列,同时在 UVC 中的监听器(MON)可以对接口上产生的所有信号进行捕捉,进行时序检查;可以将捕捉到的信号层进行事务级抽象,便于进行后续功能和数据检查.

验证策略采用覆盖率驱动的随机测试验证方法学,通过功能覆盖率和代码覆盖率的收集来保证验证的收敛,而随机测试依托于大量自动的时序检查,功能检查,计分板以及寄存器模型的检查机制,比起

定向的测试激励可以更快、更准的找到 bug 以及隐藏的 corner bug.

根据芯片功能共提出 310 个验证点,编写 356 个验证用例覆盖到了全部功能验证点,功能覆盖率达到 100%.

5 结束语

本文介绍了一种 200 Mb/s 多功能三通道抗辐照 SpaceWire 节点控制器的设计结构,并且详述了该芯片用到的关键技术和关键模块设计.这种多功能三通道抗辐照 SpaceWire 节点控制器可提供用户灵活可配置的主机接口、存储器接口以及三个全双工通信速率达到 200 Mb/s 的 SpaceWire 链路接口.并支持路由模式、支持简单协议处理模式和远置终端模式.

参考文献:

[1] SM. Parkes, SpaceWire-Links, nodes, routers and networks [S]. ESA, 2008.

[2] SM. Parkes, Serial Point-to-Point Links (ECSS-E-50-12) [Draft], May 2000.

[3] Steve Parkes, SpaceWire User's Guide, STAR-Dundee, 2012.

[4] 李硕佳,王剑峰,王竹平. SpaceWire 路由器动态加权轮询仲裁器的设计与实现[J]. 微电子学与计算机, 2010, 27(11): 124-127.

用. 综上所述,本文所提算法响应速度快,控制效率较高,由于能耗较低,所以控制成本较低,由于控制的准确度高,说明本文所提算法控制的效果较好,因此具有较强的使用价值.

4 结束语

虚拟云桌面作为云计算技术的重要应用方案,随着云计算技术的发展,特别是私有云技术的应用,对虚拟云桌面的管理越来越受到人们重视. 访问控制是对虚拟云平台管理的重要内容. 针对传统虚拟云桌面访问控制算法存在的不足,本文提出一种基于统计学的虚拟云桌面访问控制算法,实验证明,本文所提算法的访问控制准确度较高,实用性较强.

参考文献:

[1] 马洁. 基于 AWS 的访问控制系统设计与实现[J]. 电子设计工程,2016,24(6):182-184.

[2] 于会松,孟照旭,黄华晔,等. 基于映射的角色访问控制模型的设计与实现[J]. 计算机仿真,2016,33(4):292-295.

[3] 周明快. 基于 CP-ABE 的云计算改进属性加密安全访问控制策略设计[J]. 计算机测量与控制,2015,23(1):

297-299.

[4] 黄正鹏. 基于分布式 B 树编译的高效并发访问控制算法[J]. 科技通报,2015,31(8):81-83.

[5] 王廷,喻建平,黄敏强. 云存储访问控制中的快速属性基加密方案[J]. 科学技术与工程,2017,17(1):54-60.

[6] 张欣晨,杨庚. Hadoop 环境中基于属性和定长密文的访问控制方法[J]. 计算机工程与应用,2015,51(23):87-93.

[7] 冯朝胜,秦志光,袁丁,等. 云计算环境下访问控制关键技术[J]. 电子学报,2015,43(2):312-319.

[8] 张悦,郑东,张应辉. 支持动态授权和文件评价的访问控制机制[J]. 计算机应用,2015,35(4):964-967.

[9] 吴迎红,黄皓,吕庆伟,等. 基于开放逻辑 R 反驳计算的访问控制策略精化[J]. 软件学报,2015,26(6):1534-1556.

[10] 黄保华,贾丰玮,王添晶. 云存储平台下基于属性的数据库访问控制策略[J]. 计算机科学,2016,43(3):167-173.

作者简介:

朱一茹 女,(1980-),助理实验师. 研究方向为计算机信息管理. E-mail: xuexiao0528@163. com.

(上接第 113 页)

[5] Matthew J. Gadlage, Ronald D. Schrimpf. et al. Single event transient pulse widths in digital microcircuits [J]. IEEE TRANSACTIONS ON NUCLEAR SCIENCE, 2004,51(6):3285-3290.

[6] SAPONARAS, FANUCCIL, TONARELLIM , et al. Radiation to lerant SpaceWire router for satellite on board networking[J]. IEEE Aerospace and Electronic Systems Magazine, 2007, 22(5):3-12.

作者简介:

刘 欢 女,(1983-),硕士,高级工程师. 研究方向为 IC 设计.

陈卫国 男,(1983-),博士,高级工程师. 研究方向为 IC 设计.

王剑峰 男,(1971-),硕士,研究员,副总工程师. 研究方向为 IC 设计、Soc 设计.

吴龙胜(通讯作者) 男,(1968-),博士,总工程师. 研究方向为 IC 设计、Soc 设计. E-mail: wls771@163. com.